

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-290980

(43)Date of publication of application : 04.10.2002

(51)Int.Cl.

H04N 9/07  
H01L 27/146  
H01L 27/14  
H03M 1/38  
H04N 5/335  
H04N 9/04

(21)Application number : 2001-089428

(71)Applicant : MINOLTA CO LTD

(22)Date of filing : 27.03.2001

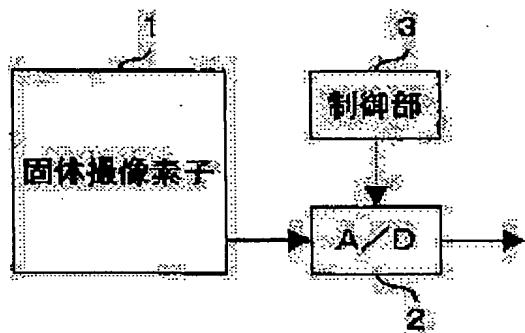
(72)Inventor : KAKUMOTO KENICHI  
HAGIWARA YOSHIO

(54) A/D CONVERTER AND IMAGING UNIT PROVIDED WITH THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an A/D converter with which an electric signal outputted from a solid-state image pickup device is converted to a digital signal and white balancing can be applied at the same time.

SOLUTION: When converting various kinds of chrominance signals converted in terms of natural logarithm to the quantity of incident light outputted from a solid-state image pickup device 1 to a digital signal by an A/D converter 2, DC voltages VDD and VSS to be applied for generating a reference voltage in the A/D converter 2 are switched by a control part 3 for each kind of chrominance signals. Thus, white balancing can be applied while removing the offset voltage of each chrominance signal.



特開2002-290980  
(P2002-290980A)  
(43)公開日 平成14年10月4日(2002.10.4)

(51)Int. Cl. <sup>7</sup>	識別記号	FI	チコード(参考)
H04N 9/07		H04N 9/07	C 4M18
H01L 27/146		H03M 1/38	50024
	27/14	H04N 5/335	P 50065
H03M 1/38		9/04	B 50022
H04N 5/335		H01L 27/14	A
審査請求 未請求 請求項の数 9	OL		(全14頁)最終頁に続く

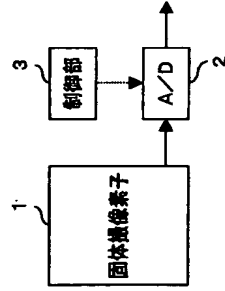
(21)出願番号	特開2001-89428(P2001-89428)	(71)出願人	000006079 ミノルタ株式会社
(22)出願日	平成13年3月27日(2001.3.27)		大阪府大阪市中央区安土町二丁目3番13号 大阪国際ビル 大阪国際ビル 角本 第一 大阪市中央区安土町二丁目3番13号 大阪 国際ビル ミノルタ株式会社内 (72)発明者 萩原 朝雄 (72)発明者 萩原 朝雄 (74)代理人 100085501 弁理士 佐野 静夫 (外1名)

(54)【発明の名称】 A/D変換器及びこのA/D変換器を備えた撮像装置

(57)【要約】

【課題】 本発明は、固体撮像素子から出力される電気信号をデジタル信号に変換すると同時にホワイトバランスを施すことができるA/D変換器を提供することを目的とする。

【解決手段】 固体撮像素子1より出力される入射光量に対して自然対数的に変換された各色信号をA/D変換器2でデジタル信号に変換する際、A/D変換器2で基準電圧を生成するために与えられる直流電圧VDD、VSSが各色信号の電圧毎に制御部3によって切り換えられる。よって、A/D変換器2で、各色信号のオフセット電圧を除去して、ホワイトバランスを施すことができる。



【特許請求の範囲】

【請求項1】 入射光量に対して自然対数的に変換された電気信号を出力する複数の画素を備えるとともに各画素に複数種類のカラーフィルターを配けて前記電気信号を各色信号として出力する固体撮像素子から出力される各色信号の色信号を、各色信号の色レベルを複数の基準電圧と比較することによってデジタル信号に変換するA/D変換器において、  
前記複数の基準電圧を生成するために与えられる第1電圧と第2電圧の値が前記色信号の電圧に応じて異なるが、該第1電圧と該第2電圧の差は一定のままであることを特徴とするA/D変換器。

【請求項2】 複数の比較器と、該複数の比較器それぞれに与える複数の前記基準電圧を生成する基準電圧生成回路とを有する並列比較方式のA/D変換器であり、前記基準電圧生成回路に与えられる前記第1電圧及び前記第2電圧の値が前記色信号の電圧に応じて異なるが、該第1電圧と該第2電圧の差は一定のままであることを特徴とする請求項1に記載のA/D変換器。

【請求項3】 複数の比較器と、該複数の比較器それぞれに与える複数の前記基準電圧を生成する基準電圧生成回路とを有する直並列比較方式のA/D変換器であり、前記基準電圧生成回路に与えられる前記第1電圧及び前記第2電圧の値が前記色信号の電圧に応じて異なるが、該第1電圧と該第2電圧の差は一定のままであることを特徴とする請求項1に記載のA/D変換器。

【請求項4】 前記固体撮像素子からの出力を各ビット毎に比較する比較器と、該比較器の比較結果に応じて各ビット毎に前記基準電圧を生成して前記比較器に出力するD/A変換器とを有する逐次比較方式のA/D変換器であり、  
前記D/A変換器に与えられる前記第1電圧及び前記第2電圧の値が前記色信号の電圧に応じて異なるが、該第1電圧と該第2電圧の差は一定のままであることを特徴とする請求項1に記載のA/D変換器。

【請求項5】 前記色信号の各電圧毎に与えられる前記第1電圧及び前記第2電圧の差は一定のままであることを特徴とする請求項1に記載のA/D変換器。  
【請求項6】 前記色信号の各電圧毎に与えられる前記第1電圧及び前記第2電圧は、前記色信号の各電圧毎のオフセット電圧に応じて値であることを特徴とする請求項1～請求項4のいずれかに記載のA/D変換器。  
【請求項7】 前記複数の色信号が入力されるとともに、前記第1電圧及び前記第2電圧が、入力された前記色信号の電圧毎に切り換えられることを特徴とする請求項1～請求項5に記載のA/D変換器。

【請求項8】 入射光量に対して自然対数的に変換された電気信号を出力する複数の画素と、該複数の画素の光電変換部に配けられた複数種類のカラーフィルターとを有する固体撮像素子と、  
請求項1～請求項6のいずれかに記載のA/D変換器と、  
を有することを特徴とする撮像装置。

(2) 特開2002-290980  
2

【請求項8】 入射光量に対して自然対数的に変換された電気信号を出力する複数の画素と、該複数の画素の光電変換部に配けられた複数種類のカラーフィルターとを有する固体撮像素子と、  
請求項1～請求項5のいずれかに記載のA/D変換器と、  
を有し、  
前記A/D変換器が、前記色信号の電圧毎に配けられることを特徴とする撮像装置。

10 【請求項9】 前記固体撮像素子が、前記カラーフィルターが各列毎に同一種類のカラーフィルターが隔えられたストライプ型カラーフィルターを有し、  
前記固体撮像素子の各列毎に、その列に隔えられたカラーフィルターに応じた前記A/D変換器が配けられることを特徴とする請求項8に記載の撮像装置。

【発明の詳細な説明】  
【0001】  
【発明が属する技術分野】 本発明は、アナログ信号をデジタル信号に変換するためのA/D変換器に関するもので、特に、対数変換出力を行う撮像装置に配けられるA/D変換器及びこのA/D変換器を備えた撮像装置に関する。

【0002】  
【従来の技術】 従来より使用されている固体撮像素子には、光電変換素子で発生した光電荷を読み出す手段によってCCD型とMOS型に大きく分けられる。CCD型は光電荷をポテンシャルの井戸に蓄積しつつ、転送するようになっている。又、MOS型はフォトダイオードのp+n接合容量に蓄積した電荷をMOSトランジスタのドレイン電流として読み出すようになっている。しかしながら、このような従来の固体撮像素子は、発生した光電荷の電荷量に比例した出力が出力されるため、ダイナミックレンジが狭いという欠点がある。

【0003】 一方、本出願人は、ダイナミックレンジを広くするために、入射した光量に応じた光電流を発生しうる感光手段と、光電流を入力するMOSトランジスタと、このMOSトランジスタをサブスレッショルド電流が流れる状態にバイアスするバイアス手段とを備えらるることに従って、入射光量に対して自然対数的に変換された電気信号を出力することができる固体撮像素子を提案した(特開平3-192764号公報参照)。

【0004】  
【発明が解決しようとする課題】 このように自然対数的に変換された電気信号を出力する固体撮像素子を有する撮像装置は、図15のように、まず、各種カラーフィルターが配けられた固体撮像素子1から出力される電気信号である色信号をA/D変換器101でデジタル信号に変換した後、ホワイトバランス回路102に送出する。このとき、各色信号は、カラーフィルターの透過率が各色によって異なるため、黒度の対数値に対する出力レベル

を表した光電変換特性の傾きは等しいが、それぞれ異なるオフセットを有した状態となる。

【0005】よって、ホワイトバランス回路102において、デジタル信号に変換された色信号毎に、そのオフセットを調整することによって、ホワイトバランスが施される。そして、ホワイトバランスが施された各色信号は、後段の信号処理回路（不図示）に送出されて、補正、マトリクス変換、エッジ強調などが施される。このように、従来の撮像装置は、各色信号を同一の光電変換特性とするために、ホワイトバランス回路を設けて、A/D変換された各色信号のオフセットの補正を行う必要があった。

【0006】本発明は、固体撮像素子から出力される電気信号をデジタル信号に変換すると同時にホワイトバランスを施すことができるA/D変換器を提供することを目的とする。

【0007】

【課題を解決するための手段】上記目的を達成するために、請求項1に記載のA/D変換器は、入射光量に対して自然対数的に変換された電気信号を出力する複数の画素を備えるとともに各画素に複数のカラーフィルタを設けて前記電気信号を色信号として出力する固体撮像素子から出力される各画素の色信号を、各色信号の信号レベルを複数の基準電圧と比較することによってデジタル信号に変換するA/D変換器において、前記複数の基準電圧を生成するために与えられる第1電圧と第2電圧の値が前記色信号の画素に応じて異なるが、該第1電圧と該第2電圧の差は一定であることを特徴とする。

【0008】このようなA/D変換器において、固体撮像素子よりRGBの色信号が出力されるとき、例えば、R信号が入力される場合、 $V_{DD} + \Delta V_1$ 、 $V_{SS} + \Delta V_1$ となる第1電圧及び第2電圧が、G信号が入力される場合、 $V_{DD}$ 、 $V_{SS}$ となる第1電圧及び第2電圧が、B信号が入力される場合、 $V_{DD} - \Delta V_2$ 、 $V_{SS} - \Delta V_2$ となる第1電圧及び第2電圧が、それぞれ与えられるようにする。

【0009】このとき、請求項2に記載するように、複数の比較器と、該複数の比較器それぞれに与えられる複数の前記基準電圧を生成する基準電圧生成回路とを有する並列比較方式のA/D変換器とし、前記基準電圧生成回路に与えられる前記第1電圧及び前記第2電圧の値が前記色信号の画素に応じて異なるが、該第1電圧と該第2電圧の差は一定のようにしても構わない。

【0010】又、請求項3に記載するように、複数の比較器と、該複数の比較器それぞれに与えられる複数の前記基準電圧を生成する基準電圧生成回路とを有する並列比較方式のA/D変換器とし、前記基準電圧生成回路に与えられる前記第1電圧及び前記第2電圧の値が前記色信号の画素に応じて異なるが、該第1電圧と該第2電圧の

差は一定のままであるようにしても構わない。

【0011】即ち、この請求項2又は請求項3に記載するように構成することで、2つの電圧が直列に接続されて成る基準電圧生成回路をバイアスする第1電圧及び第2電圧を、色信号の画素毎に異なるものとすることによって、各画素の接続ノードに現れるとともに比較器に与えられる2つの基準電圧を色信号毎に異なるものとすることができ、よって、分解能が一定の状態でデジタル信号に変換することによって、各画素の色信号のオフセット電圧を除去することができるので、A/D変換器で色信号にホワイトバランスを施すことができる。

【0012】又、請求項4に記載するように、前記固体撮像素子からの出力を各ビット毎に比較する比較器と、該比較器の比較結果に応じて各ビット毎に前記基準電圧を生成して前記比較器に出力するD/A変換器とを有する逐次比較方式のA/D変換器とし、前記D/A変換器に与えられる前記第1電圧及び前記第2電圧の値が前記色信号の画素に応じて異なるが、該第1電圧と該第2電圧の差は一定のままであるようにしても構わない。

【0013】このようにすることによって、比較器で固体撮像素子からの出力を比較して次の下位ビットの値を求めるために、比較器に与える基準電圧を生成するようにD/A変換器が動作するとき、アナログ変換して得られる基準電圧を、色信号の各画素の各ビットの値とすることができ、よって、各画素の色信号のオフセット電圧を除去することができ、A/D変換器で色信号にホワイトバランスを施すことができる。

【0014】請求項5に記載するように、前記色信号の各画素毎に与えられる前記第1電圧及び前記第2電圧は、前記色信号の各画素毎のオフセット電圧に応じて値とすることで、ホワイトバランスが施される。又、請求項6に記載するように、前記複数の色信号が入力されるとき、前記第1電圧及び前記第2電圧が、入力された前記色信号の画素毎に切り換えられるようにしても構わない。

【0015】請求項7に記載の撮像装置は、入射光量に対して自然対数的に変換された電気信号を出力する複数の画素と、該複数の画素の光電変換部に設けられた複数のカラーフィルタとを有する固体撮像素子と、請求項1～請求項6のいずれかに記載のA/D変換器と、を有することを特徴とする。

【0016】請求項8に記載の固体撮像装置は、入射光量に対して自然対数的に変換された電気信号を出力する複数の画素と、該複数の画素の光電変換部に設けられた複数のカラーフィルタとを有する固体撮像素子と、請求項1～請求項5のいずれかに記載のA/D変換器と、を有し、前記A/D変換器が、前記色信号の画素毎に設けられることを特徴とする。

【0017】このような撮像装置において、請求項9に記載するように、前記固体撮像素子が、前記カラーフィ

ルタが各列毎に同一種類のカラーフィルタが備えられたストライプ型カラーフィルタを有し、前記固体撮像素子の各列毎に、その列に備えられたカラーフィルタに応じた前記A/D変換器が設けられるようにしても構わない。

【0018】請求項7～請求項9のように構成された撮像装置は、A/D変換器において、固体撮像素子から出力される色信号をデジタル信号に変換するとともに、ホワイトバランスを施すことができる。よって、ホワイトバランス回路をA/D変換器の後段に設ける必要がない。

【0019】

【発明の実施の形態】本発明の実施形態について、以下に説明する。

【0020】図1は、本実施形態における撮像装置の内部構成を示すブロック図である。図1の撮像装置は、RGB (Red Green Blue) のカラーフィルタが設けられた複数の画素がマトリクス状に配置された固体撮像素子1と、該固体撮像素子1から入射光量に対して自然対数的に変換された電気信号である各色信号が与えられてデジタル信号に変換するA/D変換器2と、固体撮像素子1からの各色信号の出力タイミングに同期してA/D変換器2に与える直流電圧V<sub>DD</sub>、V<sub>SS</sub> (V<sub>DD</sub>>V<sub>SS</sub>)の切り換えを行う制御部3とを有する。

【0021】<固体撮像素子の構成>まず、このような構成の撮像装置における固体撮像素子1について、以下に説明する。図2は二次元のMOS型固体撮像素子の一部の構成を模式的に示している。図2の固体撮像素子1は、フォトダイオード領域の各列毎にその出力側に接続された信号線11-1～11-m、信号線11-1～11-mのそれぞれに接続された定電流源12-1～12-mと、画素G11～Gmmに後述するパルス信号φ<sub>V</sub>を与えることによって行毎に信号線11-1～11-mに出力信号を出力させる垂直走査回路15と、パッファ13a-1～13a-m、13b-1～13b-mに後述するパルス信号φ<sub>P</sub>を与えることによって画素毎に出力信号を出力回路14に送出させる水平走査回路16とを有する。即ち、画素G<sub>ab</sub> (a: 1≤a≤mの自然数、b: 1≤b≤nの自然数) からの出力が、その信号線11-aを介して出力されるとともに、この信号線11-aに接続された定電流源12-aによって増幅される。

【0022】又、信号線11-1～11-mのそれぞれに、スイッチS1-1～S1-m及びスイッチS2-1～S2-mが接続される。そして、スイッチS1-1～S1-mを介して、信号線11-1～11-mからの映像信号が、それぞれ、キャパシタC1-1～C1-mに与えられる。又、スイッチS2-1～S2-mを介して、信号線11-1～11-mからのノイズ信号が、そ

れぞれ、キャパシタC2-1～C2-mに与えられる。キャパシタC1-1～C1-mに与えられてサンプルホールドされた映像信号は、それぞれ、パッファ13a-1～13a-mを介して、出力回路14に与えられる。又、キャパシタC2-1～C2-mに与えられてサンプルホールドされたノイズ信号は、それぞれ、パッファ13b-1～13b-mを介して、出力回路14に与えられる。

【0023】このように構成される固体撮像素子1において、図示していないが、画素G11～Gmmの画素の光電変換部分に赤色、緑色、青色の3原色のカラーフィルタが設けられる。このように赤色、緑色、青色のカラーフィルタが設けられた画素から、それぞれ、R信号、G信号、B信号が出力される。又、一般的には、赤色のカラーフィルタが設けられた1つの画素、緑色のカラーフィルタが設けられた2つの画素を1組とした構成とされることが多い。尚、本実施形態では理解を容易にするため、それぞれのカラークラスタが設けられた3つの画素を1組とした構成であるものとして説明する。

【0024】1. パッファの構成

パッファ13a-1～13a-m及びパッファ13b-1～13b-mは、図3のように、MOSTランジスタで構成される。即ち、パッファ13 (図2の)パッファ13a-1～13a-m、13b-1～13b-mに相当する)は、スイッチS (図2の)スイッチS1-1～S1-m、S2-1～S2-mに相当する)とキャパシタC (図2の)キャパシタC1-1～C1-m、C2-1～C2-mに相当する)との接続ノードにゲートが接続されたNチャネルのMOSTランジスタQ1と、MOSTランジスタQ1のソースにドレインが接続されたNチャネルのMOSTランジスタQ2と、MOSTランジスタQ2のソースにドレインが接続されたNチャネルのMOSTランジスタQ3とで構成される。

【0025】そして、MOSTランジスタQ1のドレインには、直流電圧V<sub>DD</sub>が印加される。更に、MOSTランジスタQ2のゲートにパルス信号φ<sub>P</sub>が与えられて、MOSTランジスタQ2がスイッチとして動作する。MOSTランジスタQ3のゲートには直流電圧V<sub>SS</sub>が印加されるとき、ソースに直流電圧V<sub>SS</sub>が印加されて、MOSTランジスタQ3が定電流源として動作する。又、MOSTランジスタQ2のソースとMOSTランジスタQ3のドレインとの接続ノードが、パッファ13の出力となる。

【0026】2. 出力回路の構成

又、出力回路14は、図4のように、キャパシタC1-1～C1-mでサンプルホールドされた映像信号がパッファ13a-1～13a-mを介して順次に与えられる。通称補正回路20aと、キャパシタC2-1～C2-mでサンプルホールドされたノイズ信号がパッファ13b

は $\phi$ Vが入力される。又、MOSTランジスタT4のゲートに信号 $\phi$ Sが入力され、MOSTランジスタT2のドレインに直流通電圧V<sub>DD</sub>が印加される。このように構成された画素において、MOSTランジスタT3及び信号線11を介して、一端に直流通電圧V<sub>DD</sub>が印加された定電流源12（図2の定電流源12-1〜12-nに相当する）が、MOSTランジスタT2のソースに接続される。よって、MOSTランジスタT3がONのとき、MOSTランジスタT2はソースフォロワのMOSTランジスタとして動作し、定電流源12によって増幅された信号を信号線11に出力する。

【0033】このような構成の画素による撮像動作及び感度バラツキ検出動作について、以下に説明する。尚、信号 $\phi$ VPSは2値の電圧信号で、MOSTランジスタ1をサブスレッショルド領域で動作させるための電圧をハイレベルとし、この電圧よりも低くMOSTランジスタT1にハイレベルの信号 $\phi$ VPSを与えた時よりも大きい電圧が流れるようにする電圧をローレベルとする。

【0034】まず、図6のような画素が撮像を行うときの動作を説明する。尚、信号 $\phi$ Sは撮像動作の間、常にハイレベルであり、MOSTランジスタT4がONの状態である。そして、MOSTランジスタT1がサブスレッショルド領域で動作するように、MOSTランジスタT1のソースに与える信号 $\phi$ VPSをハイレベルとす。このとき、フォトダイオードPDに光が入射すると、光電流が発生し、MOSTランジスタのサブスレッショルド特性により、MOSTランジスタT1、T2のゲートに光電流を自然対数的に変換した値の電圧が発生する。

【0035】そして、MOSTランジスタT3にバリス信号 $\phi$ Vを与えることによって、MOSTランジスタT2は、そのゲート電圧に応じてソース電流を、MOSTランジスタT3を介して信号線11に出力電流として出カする。このとき、MOSTランジスタT2がソースフォロワ型のMOSTランジスタとして動作するため、信号線11には映像信号が電圧信号として現れる。その

【0036】次に、画素の感度バラツキを検出するときの動作について、図7のタイミングチャートを参照して説明する。まず、バリス信号 $\phi$ Vが与えられて映像信号が出力された後、信号 $\phi$ SをローレベルにしてMOSTランジスタT4をOFFにして、リセット動作が始まる。このとき、MOSTランジスタT1のソース側より負の電荷が流れ込み、MOSTランジスタT1のゲート及びドレイン、そしてMOSTランジスタT2のゲートに蓄積された正の電荷が再結合され、ある程度まで、MOSTランジスタT1のゲート及びドレインのポテンシャルが下がる。

【0037】しかし、MOSTランジスタT1のゲート及びドレインのポテンシャルがある値まで下がる、と、そのリセット速度が遅くなる。特に、明るい被写体が写る暗くなっている場合にこの傾向が顕著となる。よって、次に、MOSTランジスタT1のソースに与える信号 $\phi$ VPSをローレベルにする。このように、MOSTランジスタT1のソース電圧を低くすることで、MOSTランジスタT1のソース側から流入する負の電荷の量が增加し、MOSTランジスタT1のゲート及びドレイン、そしてMOSTランジスタT2のゲートに蓄積された正の電荷が速やかに再結合される。

【0038】よって、MOSTランジスタT1のゲート及びドレインのポテンシャルが、更に低くなる。そして、MOSTランジスタT1のソースに与える信号 $\phi$ VPSをハイレベルにする。このように、MOSTランジスタT1のポテンシャル状態を基に、MOSTランジスタT1のソースに与える信号 $\phi$ VPSの状態にリセットした後、バリス信号 $\phi$ VをMOSTランジスタT3のゲートに与えて、MOSTランジスタT3をONにすることで、MOSTランジスタT3に起因する各画素の感度のバラツキを表す出力電流が信号線11に出力される。

【0039】このとき、MOSTランジスタT2がソースフォロワ型のMOSTランジスタとして動作するたため、信号線11には映像信号が電圧信号として現れる。その

【0040】そして、MOSTランジスタT3にバリス信号 $\phi$ Vを与えることによって、MOSTランジスタT2は、そのゲート電圧に応じてソース電流を、MOSTランジスタT3を介して信号線11に出力電流として出カする。このとき、MOSTランジスタT2がソースフォロワ型のMOSTランジスタとして動作するため、信号線11には映像信号が電圧信号として現れる。その

【0041】次に、映像信号が電圧信号として現れる。その後、信号 $\phi$ VをローレベルにしてMOSTランジスタT4をOFFにして、リセット動作が始まる。そして、信号 $\phi$ VPSを第2電圧にして、MOSTランジスタT1のドレイン・ソース間に負の電荷を蓄積させる。

【0042】次に、信号 $\phi$ VPSを第1電圧に戻すと、この蓄積された負の電荷が信号 $\phi$ VPSの信号線に流れ出し、MOSTランジスタT1のソースに負の電荷が蓄積された状態になる。この負の電荷の蓄積量は、ゲート・ソース間の周囲電圧によって決まる。このように、MOSTランジスタT1のソースに負の電荷が蓄積される

【0043】まず、図8のような画素が撮像を行うときの動作を説明する。信号 $\phi$ VPSを第1電圧として、MOSTランジスタT1をサブスレッショルド領域で動作させるとともに、MOSTランジスタT4のゲートに与えられる信号 $\phi$ Sをハイレベルにし、MOSTランジスタT4をONの状態にする。このとき、フォトダイオードPDに光が入射すると光電流が発生し、MOSTランジスタのサブスレッショルド特性により、光電流を自然対数的に変換した値の電圧がMOSTランジスタT1のソース及びMOSTランジスタT2のゲートに発生する。

【0044】そして、MOSTランジスタT3にバリス信号 $\phi$ Vを与えることによって、MOSTランジスタT2は、そのゲート電圧に応じてソース電流を、MOSTランジスタT3を介して信号線11に出力電流として出カする。このとき、MOSTランジスタT2がソースフォロワ型のMOSTランジスタとして動作するため、信号線11には映像信号が電圧信号として現れる。その

【0045】次に、画素の感度バラツキを検出するときの動作について、図9のタイミングチャートを参照して説明する。まず、バリス信号 $\phi$ Vが与えられて映像信号が出力された後、信号 $\phi$ SをローレベルにしてMOSTランジスタT4をOFFにして、リセット動作が始まる。そして、信号 $\phi$ VPSを第2電圧にして、MOSTランジスタT1のドレイン・ソース間に負の電荷を蓄積させる。

【0046】次に、信号 $\phi$ VPSを第1電圧に戻すと、この蓄積された負の電荷が信号 $\phi$ VPSの信号線に流れ出し、MOSTランジスタT1のソースに負の電荷が蓄積された状態になる。この負の電荷の蓄積量は、ゲート・ソース間の周囲電圧によって決まる。このように、MOSTランジスタT1のソースに負の電荷が蓄積される

【0047】そして、MOSTランジスタT3のゲートにバリス信号 $\phi$ VPSを印加され、MOSTランジスタT4のゲートには信号 $\phi$ Sが与えられる。尚、図6に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0048】図8に示すように、本実施形態では、画素の出力電流を構成するMOSTランジスタT2、T3及び図6の画素と同様の構成をしている。このような図8の画素において、フォトダイオードPDのアンロードに直流通電圧V<sub>DD</sub>が印加され、MOSTランジスタT1のドレインに信号 $\phi$ VPSが与えられるとともにそのソースがMOSTランジスタT2のソースに接続される。又、MOSTランジスタT1のソースにドレインが接続されるとともにフォトダイオードPDのカソードにソースが接続されたMOSTランジスタT4が設けられる。更に、MOSTランジスタT1のゲートには直流通電圧V<sub>DD</sub>が印加され、MOSTランジスタT4のゲートには信号 $\phi$ Sが与えられる。尚、図6に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0049】図8に示すように、本実施形態では、画素の出力電流を構成するMOSTランジスタT2、T3及び図6の画素と同様の構成をしている。このような図8の画素において、フォトダイオードPDのアンロードに直流通電圧V<sub>DD</sub>が印加され、MOSTランジスタT1のドレインに信号 $\phi$ VPSが与えられるとともにそのソースがMOSTランジスタT2のソースに接続される。又、MOSTランジスタT1のソースにドレインが接続されるとともにフォトダイオードPDのカソードにソースが接続されたMOSTランジスタT4が設けられる。更に、MOSTランジスタT1のゲートには直流通電圧V<sub>DD</sub>が印加され、MOSTランジスタT4のゲートには信号 $\phi$ Sが与えられる。尚、図6に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0050】図8に示すように、本実施形態では、画素の出力電流を構成するMOSTランジスタT2、T3及び図6の画素と同様の構成をしている。このような図8の画素において、フォトダイオードPDのアンロードに直流通電圧V<sub>DD</sub>が印加され、MOSTランジスタT1のドレインに信号 $\phi$ VPSが与えられるとともにそのソースがMOSTランジスタT2のソースに接続される。又、MOSTランジスタT1のソースにドレインが接続されるとともにフォトダイオードPDのカソードにソースが接続されたMOSTランジスタT4が設けられる。更に、MOSTランジスタT1のゲートには直流通電圧V<sub>DD</sub>が印加され、MOSTランジスタT4のゲートには信号 $\phi$ Sが与えられる。尚、図6に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0051】図8に示すように、本実施形態では、画素の出力電流を構成するMOSTランジスタT2、T3及び図6の画素と同様の構成をしている。このような図8の画素において、フォトダイオードPDのアンロードに直流通電圧V<sub>DD</sub>が印加され、MOSTランジスタT1のドレインに信号 $\phi$ VPSが与えられるとともにそのソースがMOSTランジスタT2のソースに接続される。又、MOSTランジスタT1のソースにドレインが接続されるとともにフォトダイオードPDのカソードにソースが接続されたMOSTランジスタT4が設けられる。更に、MOSTランジスタT1のゲートには直流通電圧V<sub>DD</sub>が印加され、MOSTランジスタT4のゲートには信号 $\phi$ Sが与えられる。尚、図6に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0052】図8に示すように、本実施形態では、画素の出力電流を構成するMOSTランジスタT2、T3及び図6の画素と同様の構成をしている。このような図8の画素において、フォトダイオードPDのアンロードに直流通電圧V<sub>DD</sub>が印加され、MOSTランジスタT1のドレインに信号 $\phi$ VPSが与えられるとともにそのソースがMOSTランジスタT2のソースに接続される。又、MOSTランジスタT1のソースにドレインが接続されるとともにフォトダイオードPDのカソードにソースが接続されたMOSTランジスタT4が設けられる。更に、MOSTランジスタT1のゲートには直流通電圧V<sub>DD</sub>が印加され、MOSTランジスタT4のゲートには信号 $\phi$ Sが与えられる。尚、図6に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0053】図8に示すように、本実施形態では、画素の出力電流を構成するMOSTランジスタT2、T3及び図6の画素と同様の構成をしている。このような図8の画素において、フォトダイオードPDのアンロードに直流通電圧V<sub>DD</sub>が印加され、MOSTランジスタT1のドレインに信号 $\phi$ VPSが与えられるとともにそのソースがMOSTランジスタT2のソースに接続される。又、MOSTランジスタT1のソースにドレインが接続されるとともにフォトダイオードPDのカソードにソースが接続されたMOSTランジスタT4が設けられる。更に、MOSTランジスタT1のゲートには直流通電圧V<sub>DD</sub>が印加され、MOSTランジスタT4のゲートには信号 $\phi$ Sが与えられる。尚、図6に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0054】図8に示すように、本実施形態では、画素の出力電流を構成するMOSTランジスタT2、T3及び図6の画素と同様の構成をしている。このような図8の画素において、フォトダイオードPDのアンロードに直流通電圧V<sub>DD</sub>が印加され、MOSTランジスタT1のドレインに信号 $\phi$ VPSが与えられるとともにそのソースがMOSTランジスタT2のソースに接続される。又、MOSTランジスタT1のソースにドレインが接続されるとともにフォトダイオードPDのカソードにソースが接続されたMOSTランジスタT4が設けられる。更に、MOSTランジスタT1のゲートには直流通電圧V<sub>DD</sub>が印加され、MOSTランジスタT4のゲートには信号 $\phi$ Sが与えられる。尚、図6に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。



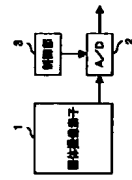


からの出力であるB信号が入力されるA/D変換器において、抵抗R0、Rxのそれぞれに直流電圧VSS-ΔV2、VDD-ΔV2が印加される【0086】又、本実施形態では、撮像装置に設けられた固体撮像素子に、RGB系のカラーフィルタを用いた固体撮像素子としたが、CMY (Cyan Magenta Yellow) 系のカラーフィルタを用いた固体撮像素子としても構わない。

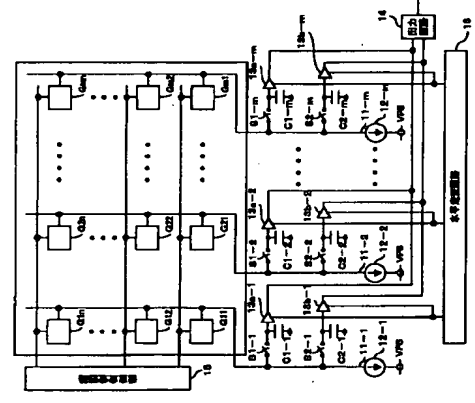
【0087】  
【発明の効果】本発明によると、A/D変換器において、固体撮像素子より出力される色信号の種類に応じて、デジタル信号に変換する際の基準電圧が異なる。よって、固体撮像素子より出力される色信号の種類毎に発生するオフセット電圧を、A/D変換器で除去することによって、A/D変換器でホワイトバランスを施すことができる。又、このようなA/D変換器が撮像装置に設けられたとき、従来のように、A/D変換器の後段にホワイトバランスを施すための信号処理回路を設ける必要がなくなり、システムの簡略化を図ることができ

る。  
【図面の簡単な説明】  
【図1】本発明の撮像装置の内部構成を示すブロック図。  
【図2】図1の撮像装置に設けられた固体撮像素子の内部構成の一例を示すブロック図。  
【図3】図2の固体撮像素子に設けられたパツファの内部構成を示す回路図。  
【図4】図2の固体撮像素子に設けられた出力回路の内部構成を示すブロック図。

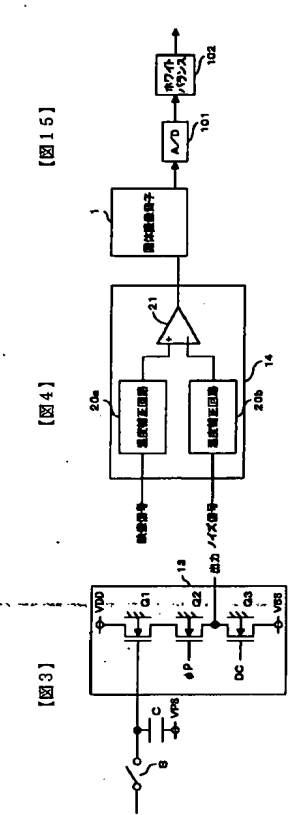
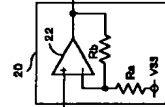
【図1】



【図2】



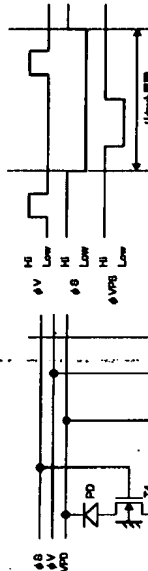
【図3】



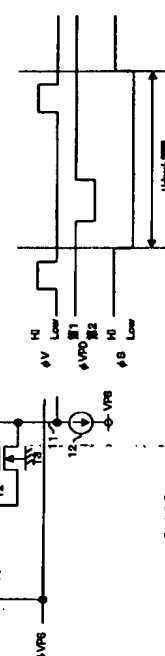
【図4】

【図3】

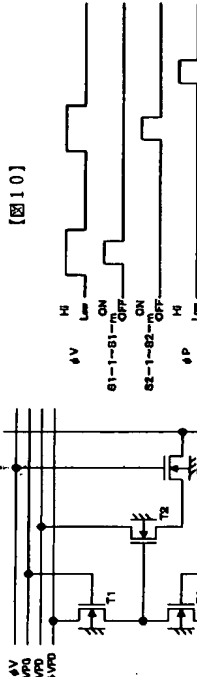
【図7】



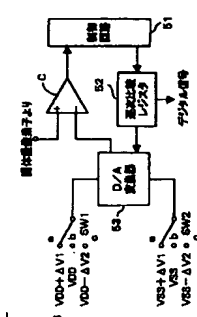
【図9】



【図10】

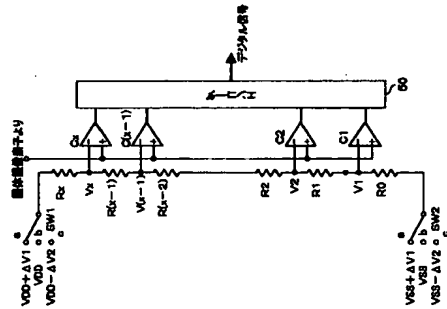


【図14】

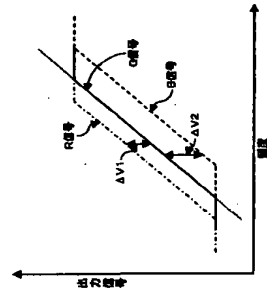




【図11】



【図12】



フロントページの続き

(51)Int.Cl.<sup>7</sup>  
H04N 9/04

識別記号  
FI  
H01L 27/14

特許ト  
D

Fターム(参考) 4M118 AA10 AB01 BA14 CA02 DD10  
FA06 GC08 GC15  
5C024 CX27 EX52 GX03 GV31 HX24  
5C065 AA01 BB02 CC01 DD15 EE06  
GG18  
5J022 AA02 AA06 AB01 BA03 CB01  
CD03 CF01 CF07 CF10

【図13】

